



**Eur päisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

02425591.1

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Blatt 2 der Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation

Anmeldung Nr.:
Application no.:
Demande n°: 02425591.1

Anmeldetag:
Date of filing:
Date de dépôt: 30/09/02

Anmelder:
Applicant(s):
Demandeur(s):
STMicroelectronics S.r.l.
20041 Agrate Brianza (Milano)
ITALY

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention:

Method for replacing failed non-volatile memory cells and corresponding memory device

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:
State:
Pays:

Tag:
Date:
Date:

Aktenzeichen:
File no.
Numéro de dépôt:

Internationale Patentklassifikation:
International Patent classification:
Classification internationale des brevets:

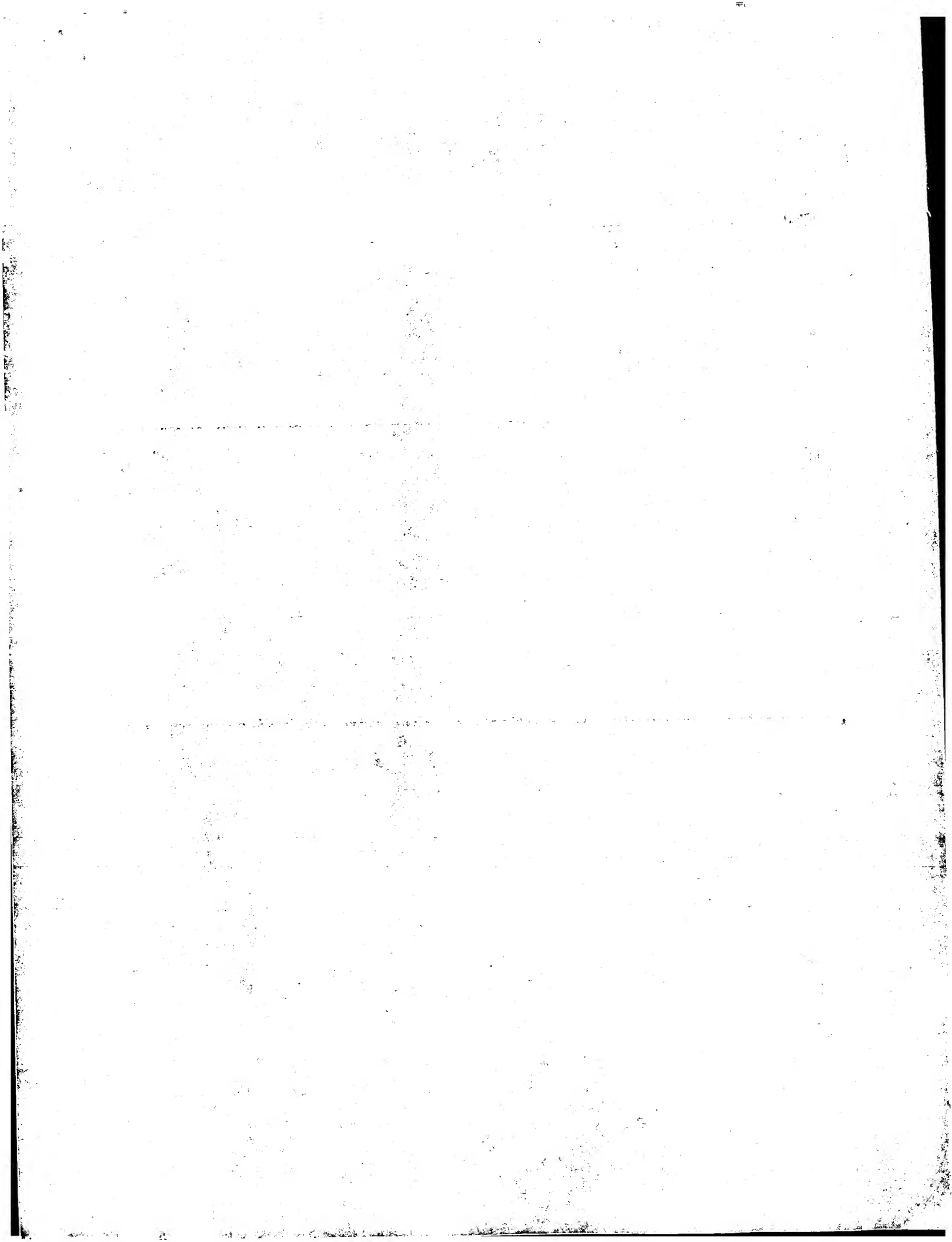
G11C29/00, G11C16/16

Am Anmeldetag benannte Vertragsstaaten:
Contracting states designated at date of filing:
Etats contractants désignés lors du dépôt:

AT/BG/BE/CH/CY/CZ/DE/DK/EE/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/

Bemerkungen:
Remarks:
Remarques:

See for the original title of the application, page 1 of the description.



Titolo: Metodo di cancellazione di celle di memoria non volatili e relativo dispositivo di memoria.

DESCRIZIONE

Campo di applicazione

5 La presente invenzione fa riferimento ad un metodo di cancellazione di celle di memoria non volatili incorporate in una matrice di celle di memoria suddivisa in settori.

Più specificatamente l'invenzione si riferisce ad un metodo di cancellazione di celle di memoria non volatili in un dispositivo integrato di memoria non volatile comprendente una matrice di celle di memoria organizzata in righe e colonne e suddivisa in settori di matrice con almeno una porzione circuitale di decodifica di riga per ciascun settore alimentata da tensioni positive e negative, e del tipo in cui i settori di matrice possono essere cancellati in modo indipendente l'uno dall'altro mediante un algoritmo di cancellazione.

L'invenzione fa altresì riferimento ad un dispositivo integrato di memoria strutturato in modo tale da consentire l'attuazione del suddetto metodo.

L'invenzione riguarda in particolare, ma non esclusivamente, un dispositivo elettronico di memoria integrato monoliticamente su semiconduttore e comprendente una matrice di celle di memoria non volatile, ad esempio del tipo Flash EEPROM; la descrizione che segue è fatta con riferimento a questo campo di applicazione con il solo scopo di semplificarne l'esposizione.

25 Arte nota

Come è ben noto, nell'ambito delle memorie Flash delle ultime generazioni è divenuto un problema molto importante la condizione di guasto cosiddetta fail di cancellazione, vale a dire l'impossibilità di eseguire una cancellazione di almeno un settore della memoria.

Questa condizione di guasto è strettamente connessa alla modalità utilizzata per effettuare l'operazione di cancellazione, vale a dire la cosiddetta cancellazione di canale.

5 Più in particolare, è ben noto effettuare la cancellazione delle celle di un intero settore di una matrice di memoria Flash applicando un opportuno valore di tensione ai terminali di controllo delle celle di memoria.

10 In Figura 1 è illustrata schematicamente e in scala ingrandita una porzione di circuito integrato a semiconduttore nella quale è realizzata in modo del tutto convenzionale a una cella di memoria 4 di tipo Flash. In particolare, la porzione 1 comprende un substrato 2 drogato con un primo tipo di drogante, ad esempio di tipo P. Il substrato 2 è comune a tutta la fetta di semiconduttore nella quale è realizzata anche la porzione 1.

15 Nel substrato 2 viene preferibilmente realizzata una struttura a triplo well comprendente una sacca intermedia 3 ed una sacca più interna 5 nella quale è integrata la cella di memoria 4 Flash.

20 In realtà nella sacca interna 5 sono realizzate tutte le celle 4 di un dato settore della matrice di memoria Flash. Anche la sacca 5 è drogata con un primo tipo P di drogante e verso la sua superficie vengono realizzare una regione 6 di source ed una regione 7 di drain della cella 4. Queste regioni sono isole di un secondo tipo di drogante, ad esempio di tipo N.

25 Un sottile strato di ossido di tunnel separa la superficie della sacca 5 da una regione di floating gate 8, la quale, a sua volta è separata da una regione di control gate 9 mediante uno strato isolante, normalmente un ossido interpoly 10 detto anche ONO.

La cella 4 viene collegata ad un primo 11 e ad un secondo circuito 12 a pompa di carica, positiva e negativa rispettivamente.

30 Durante un'operazione di cancellazione, un predeterminato e positivo valore di tensione viene applicato alla sacca interna 5 mediante il primo circuito 11 a pompa di carica positiva. Tale valore di tensione positivo

raggiunge normalmente +8V e viene a trovarsi applicato anche sulla regione 8 di floating gate, mentre la regione 9 di control gate viene portata ad valore di tensione negativo che raggiunge -9V, mediante il secondo circuito 12 a pompa di carica.

- 5 In Figura 1 è illustrata schematicamente questa situazione mediante percorsi che illustrano l'applicazione di questi valori di tensione.

In questa situazione la tensione ai capi dello strato 10 di ossido interpoly può raggiungere un valore pari a 17V e superarlo.

- 10 Nel caso sia presente una debolezza strutturale in tale strato 10 di ossido interpoly, esso può degradarsi fino a rompersi. In questa possibile condizione di fail, durante l'operazione di cancellazione della cella 4, il secondo circuito 12 a pompa di carica negativa risulta cortocircuitato con il primo circuito 11 a pompa di carica positiva, come schematicamente illustrato mediante il percorso di conduzione 13 in
15 Figura 2.

Il risultato di tutto ciò è che il settore coinvolto nella condizione di cortocircuito nella sacca 5 non viene cancellato e di conseguenza la memoria risulta nella condizione di fail di cancellazione.

- 20 La tecnica nota propone già una modalità per ovviare a questo problema che consiste nell'applicare un concetto di ridondanza su campo nell'algoritmo di cancellazione ed una relativa di ridondanza di settore.

- Più in particolare, la soluzione nota prevede di ridondare, vale a dire sostituire, un elemento di memoria individuato come guasto, o addirittura un intero settore di memoria, con un elemento nuovo. In
25 questo modo è sufficiente modificare opportunamente l'algoritmo di cancellazione in modo che la fase di cancellazione venga eseguita sui settori ridondanti e non più su quelli guasti.

- Inoltre, l'operazione di ridondanza non è solo appannaggio delle operazioni di test eseguite in fabbrica sui dispositivi di memoria prima
30 della loro distribuzione in commercio, ma è resa disponibile anche durante la vita operativa del dispositivo di memoria una volta posto in

commercio.

In particolare, nell'applicazione delle operazioni di cancellazione, viene inserita una fase di controllo che permette, in caso di guasto di un settore, e quindi dell'impossibilità di cancellare correttamente lo stesso,
5 di re-indirizzare l'operazione stessa verso un settore di "riserva".

Per ottenere questo risultato è ovviamente necessario possedere uno o più settori di ridondanza, disponibili per la sostituzione dei settori individuati come guasti. Pertanto, il problema principale di questa soluzione nota risiede nel prevedere su ogni dispositivo un intero settore
10 di ridondanza per sostituire un settore individuato come guasto, quando in realtà la condizione di fail potrebbe riguardare una sola cella di memoria in quel dato settore.

E' infatti opportuno rimarcare il fatto che la dimensione media di un settore di una memoria Flash risulta pari a 1Megabit e l'incidenza di questo tipo di guasto (fail di cancellazione) risulta molto frequente.
15 Sarebbe quindi necessario utilizzare un numero elevato di settori di grandi dimensioni per correggere in modo efficace un possibile dispositivo che presenta guasti.

Per contro, è opportuno ricordare che l'utilizzo di un intero settore di
20 celle di memoria risulta relativamente semplice dal punto di vista della "sostituzione", anche se molto oneroso in termini di occupazione di area circuitale. Basta, infatti, registrare in registri non volatili l'indirizzo del settore individuato come guasto (fail) e "puntare" ad un settore nuovo tutte le volte che viene indirizzato quello guasto.

25 Il problema tecnico che sta alla base della presente invenzione è quello di escogitare un metodo di cancellazione di celle di memoria non volatili ed un relativo dispositivo di memoria aventi rispettive caratteristiche funzionali e strutturali tali da superare le limitazioni e gli inconvenienti che tuttora affliggono i dispositivi realizzati secondo l'arte nota.

30 Sommario dell'invenzione

L'idea di soluzione che sta alla base della presente invenzione è quella

di individuare i singoli elementi responsabili della condizione di guasto e di isolarli opportunamente dal resto del settore in modo da effettuare solo su di essi una ridondanza mirata. In sostanza, l'invenzione propone di effettuare una ridondanza di settore anziché su tutto il dispositivo.

- 5 Sulla base di tale idea di soluzione il problema tecnico è risolto da un metodo del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 1.

10 Il problema è altresì risolto da un dispositivo integrato di memoria del tipo definito dalla parte caratterizzante della rivendicazione 9 e seguenti.

Le caratteristiche ed i vantaggi del metodo e del dispositivo secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di un loro esempio di realizzazione dato a titolo indicativo e non limitativo con riferimento ai disegni allegati.

15 Breve descrizione dei disegni

In tali disegni:

- la Figura 1 illustra schematicamente una porzione di un substrato semiconduttore nel quale è integrata una cella di memoria non volatile secondo l'arte nota;
- 20 - la Figura 2 illustra schematicamente la cella di Figura 1 e la condizione di guasto cosiddetta fail di cancellazione;
- la Figura 3 illustra schematicamente l'organizzazione di una decodifica di riga in un dispositivo integrato di memoria non volatile realizzato secondo l'arte nota;
- 25 - la Figura 4 illustra schematicamente un particolare di una decodifica di riga in un dispositivo integrato di memoria realizzato secondo l'invenzione;
- la Figura 5 illustra schematicamente un'ulteriore dettaglio di realizzazione della decodifica di riga secondo l'invenzione;

- la Figura 6 illustra in maggior dettaglio il dispositivo di memoria secondo l'invenzione in una prima condizione di funzionamento;
- la Figura 7 illustra in maggior dettaglio il dispositivo di memoria secondo l'invenzione in una seconda condizione di funzionamento;
- 5 - la Figura 8 illustra schematicamente una forma di realizzazione della decodifica di riga secondo l'invenzione;
- la Figura 9 illustra in maggior dettaglio e con indicazione delle capacità parassite il dispositivo di memoria secondo l'invenzione nella seconda condizione di funzionamento;
- 10 - la Figura 10 illustra schematicamente in forma completa l'esempio di realizzazione della decodifica di riga di Figura 8;
- la Figura 11 illustra schematicamente l'esempio di realizzazione della decodifica di riga di Figura 8 in maggiore dettaglio strutturale;
- la Figura 12 è un diagramma di flusso illustrante le principali
15 operazioni effettuate dal metodo di cancellazione di celle di memoria secondo l'invenzione.

Descrizione dettagliata

Per comprendere appieno tutti gli aspetti della presente invenzione occorre innanzitutto analizzare nel dettaglio i meccanismi che
20 provocano la condizione di fail di cancellazione illustrata in relazione all'arte nota.

E' opportuno rimarcare il fatto che la condizione di fail di cancellazione viene provocata da un corto circuito fra il circuito a pompa negativa 12
atto ad alimentare la regione di control gate (nel seguito indicata
25 semplicemente come regione di gate) della cella 4 di memoria in condizione di fail e il circuito a pompa di carica positiva 11 atto ad alimentare la regione di source 6 della cella stessa ed il substrato comune 5 a tutte le celle di un dato settore.

Per come sono comunemente realizzati i circuiti a pompa di carica da

utilizzare durante le operazioni di cancellazione non risulta possibile per questa tipologia di guasto sostenere il valore di tensione necessario per la cancellazione, anche se il guasto è localizzato su di una sola cella. Infatti, i valori di potenziale in gioco risultano dalla partizione operata dal cortocircuito e vengono portati sulle regioni di control gate delle celle appartenenti alla stessa riga della cella in condizioni di fail nonché alle regioni di gate delle altre celle dello stesso settore. Tali valori non risultano però sufficienti a ottenere i campi elettrici necessari ad innescare il fenomeno di tunneling e quindi ad effettuare l'operazione di cancellazione.

Occorre inoltre ribadire che, anche se si disponesse di pompe di carica così efficienti da erogare tutta la corrente necessaria senza dar luogo a cadute di tensione, la stessa difficoltà sarebbe presente durante l'operazione di programmazione e di lettura dal momento che risulta sempre presente una corrente spuria fra un terminale di gate ed un riferimento di massa a cui il substrato è collegato. Tale corrente spuria tende in ogni caso ad abbassare il potenziale della regione di gate.

Per evitare l'onerosa sostituzione di interi settori, effettuata secondo l'arte nota, la presente invenzione propone vantaggiosamente di portare eventuali righe di ridondanza all'interno del settore del dispositivo di memoria in cui può avvenire una condizione di fail.

Per dispositivo di memoria si intende un qualunque sistema elettronico monolitico incorporante una matrice di celle di memoria, organizzate in righe e colonne, e porzioni circuitali associate alla matrice di celle e preposte alle funzioni di indirizzamento, di decodifica, di lettura, scrittura e cancellazione del contenuto delle celle di memoria.

Un dispositivo di questo genere può essere ad esempio un chip di memoria integrato su semiconduttore e del tipo Flash EEPROM non volatile suddivisa in settori e cancellabile elettricamente.

Ciascuna cella di memoria comprende un transistor a floating gate con terminali di source, drain e control gate.

Tra le porzioni circuitali associate alla matrice di celle è prevista la presenza di una porzione circuitale di decodifica di riga associata a

ciascun settore ed alimentata da specifiche tensioni positive e negative generate internamente al circuito integrato di memoria mediante survoltori o pompe di carica e regolate tramite relativi regolatori di tensione.

- 5 I principi della presente invenzione sono applicati ad un dispositivo integrato di memoria in cui i settori di matrice possono essere cancellati in modo indipendente l'uno dall'altro mediante un algoritmo di cancellazione. L'invenzione consente di rimediare ad un'eventuale stato di fail anche di una sola cella in un settore mediante una ridondanza
10 locale per settore

Più in particolare, l'invenzione si propone di "rimuovere" la corrente spuria causata dalla cella in condizioni di fail la cui presenza danneggia anche le celle "integre" dello stesso settore.

- Vantaggiosamente, secondo l'invenzione, per eliminare il contributo di
15 detta corrente spuria si propone di utilizzare nel dispositivo di memoria non volatile una struttura di decodifica di riga opportunamente modificata.

- Per facilità di comprensione si rammenta che la decodifica di riga è realizzata duplicando un numero n di volte un blocco base di decodifica
20 associato ad un settore di matrice di celle di memoria. Alcuni indirizzi abilitano un dato blocco mentre altri indirizzi abilitano una riga all'interno del dato blocco selezionato. Con questo tipo d'approccio di pre-decodifica e decodifica si possono indirizzare un numero enorme di righe utilizzando pochi segnali. Questo schema strutturale è illustrato
25 in Figura 3.

Al fine di eliminare la corrente spuria l'invenzione prevede l'impiego di almeno uno switch fra l'alimentazione e i blocchi di decodifica, come mostrato in figura 4.

- In tale figura sono stati indicati solo un primo switch M1 ed un secondo
30 switch M2 tra l'alimentazione positiva V_{pcx} ed i primi due blocchi di decodifica; ovviamente, però, è preferibile avere un relativo switch indipendente tra l'alimentazione ed ogni blocco di decodifica.

Gli switch possono essere realizzati in vari modi anche se è preferibile utilizzare dei semplici transistori MOS, in particolare di tipo NMOS.

5 In questo modo, l'alimentazione positiva V_{pcx} in lettura e programmazione può essere disconnessa dal blocco di righe interessato, ad esempio proprio quello contenente una cella in stato di fail.

Una logica 15 di controllo è prevista per il pilotaggio degli switch a transistore. Il funzionamento della logica 15 è asservito al contenuto dei registri di ridondanza.

10 Questa soluzione non risolve del tutto il problema della cancellazione, ma consente di escludere un blocco di righe contenente la cella fail durante le operazioni di lettura e di programmazione.

15 Per rendere completo l'isolamento del blocco di righe contenenti una cella in stato di fail si è pensato di inserire uno switch anche sul percorso di conduzione che dalla tensione negativa porta sulle righe di matrice, sempre attraverso la decodifica di riga, in particolare attraverso un transistore NMOS presente normalmente nello stadio finale di un cosiddetto driver di riga.

Per questo scopo si è pensato di aggiungere un ulteriore switch all'interno dei blocchi della decodifica di riga.

20 La figura 5 mostra un possibile esempio di realizzazione di questa soluzione nel quale uno switch M3 è stato assegnato al blocco n ed uno switch M4 al blocco n+1.

25 Anche in questo caso gli switch possono essere realizzati in vari modi ma si è preferito utilizzare dei semplici transistori MOS, in particolare di tipo NMOS.

30 Tali switch M3, M4 sono inseriti su un percorso di conduzione che consente di applicare al primo ed al secondo blocco di decodifica la tensione negativa HVNEG con il compito di escludere, ogni volta che il settore contenente la cella fail è indirizzato, il blocco di righe contenente appunto la cella fail. Gli switch M3, M4 sono a loro volta pilotati dalla

logica 15 asservita ai registri di ridondanza.

5 L'aver previsto gli switch M3 o M4 permette di ottenere la condizione di floating della relativa riga associata a quel dato settore durante le operazioni coinvolgenti i terminali di source e di gate di quella data cella.

La figura 6 mostra più in dettaglio l'organizzazione complessiva della circuiteria utilizzata durante l'operazione di cancellazione.

10 Per semplicità di illustrazione è stato rappresentato un settore 20 in cui sono state evidenziate quattro celle 4 appartenenti a due righe 21, 22 ed i relativi driver finali 23, 24 delle medesime righe.

15 I transistori M1 e M2 rappresentano gli switch interposti tra l'alimentazione alla tensione positiva V_{pcx} , che viene portata sulla riga del settore 20 della matrice di memoria durante le fasi di lettura e di programmazione delle celle. I transistori M3 e M4 rappresentano invece gli switch interposti tra l'alimentazione alla tensione negativa HV_{NEG} che viene portata sulla stessa riga del settore 20 di matrice durante la fase di cancellazione. Nelle operazioni di lettura e programmazione il potenziale che viene applicato sulla riga è quello di massa.

20 Nella figura 6 è evidenziata anche una pompa di carica 26 VPD positiva che è destinata a portare un potenziale positivo sulle regioni di source 6 e di substrato 5 della cella 4. I potenziali di substrato e di source della cella 4 sono in effetti del tutto indipendenti poiché durante la programmazione la regine di body può essere portata a potenziale negativo mentre il source resta a massa; in questo modo si aumenta
25 l'efficienza di programmazione.

Un transistore di abilitazione M5 è inserito su un percorso di conduzione che collega la pompa 26 con le regioni di source 6. Inoltre, un transistore di abilitazione M7 è inserito su un percorso di conduzione che collega la pompa 26 con le regioni di body.

30 L'eventuale tensione negativa alla regione di body è fornita attraverso un ulteriore percorso di conduzione sul quale è presente un transistore

M9 di abilitazione, come mostrato in figura 6. E' prevista inoltre una specifica pompa di carica 27 a potenziale negativo per le regioni di body.

Com'è indicato in figura 6, nel caso la cella guasta sia sulla riga 24, un possibile stato di guasto mette in corto circuito la pompa di carica dell'alimentazione HVNEG e quella a potenziale positivo VPD attraverso i transistori M4, M5 e M7.

Analogamente, un percorso di scarica viene attivato fra la pompa di alimentazione positiva Vpcx alle gate e il substrato 5, come mostrato in figura 7.

10 In definitiva, secondo la presente invenzione, per eliminare il contributo spurio di corrente si è pensato di forzare in uno stato "floating" la riga contenente la cella fail, ad esempio la riga 24. Per ottenere questo risultato è stato previsto di pilotare mediante i segnali dei registri di ridondanza gli switch M1, M2 associati all'alimentazione positiva VPCX e gli switch M3, M4 associati all'alimentazione negativa HVNEG e appartenenti a blocchi di righe situati all'interno di uno stesso settore. Allo stesso tempo vengono abilitati gli analoghi switch di un blocco di righe di ridondanza predisposto all'interno dello stesso settore 20 e associato ad un relativo blocco di decodifica 28, come mostrato in figura 8.

Per completezza di descrizione occorre anche analizzare il modo in cui viene rilevato lo stato di guasto ed evidenziata di conseguenza la posizione della cella guasta di un dato settore al fine di porre rimedio con il metodo della presente invenzione.

25 Per individuare la riga a cui appartiene la cella in stato di fail, per poter registrare l'indirizzo di fail nei registri di ridondanza, occorre individuare la riga affetta dal guasto. Questa complicazione è un prezzo da pagare per operare la sostituzione solo di una parte del settore.

30 Quest'operazione non sarebbe necessaria nel caso di sostituzione di un intero settore; infatti, al termine della cancellazione, se questa non fosse andata a buon fine, si potrebbe sostituire l'intero settore con un

settore di ridondanza, come insegnato dall'arte nota.

Poiché il guasto dipende dalla rottura di almeno una cella, con un conseguente corto circuito tra regione di gate e substrato, è possibile rilevare una corrente spuria fra i terminali di gate e di body della cella guasta. Questa corrente spuria non è normalmente presente nel dispositivo di memoria; infatti, il nodo della riga di matrice è un nodo puramente capacitivo e senza correnti verso altri punti quando la riga include solo celle integre (in realtà ogni riga presenta una resistenza di qualche Kiloohm).

10 L'individuazione della cella guasta, o più semplicemente della riga guasta, può essere effettuata attraverso l'identificazione di questa corrente.

Una modalità che si è preferita consiste nello sfruttare la funzionalità stessa del dispositivo di memoria e nel forzare una condizione di lettura del settore che non ha raggiunto la completa cancellazione; in questo modo è possibile scandire le righe del settore stesso e controllare l'eventuale presenza di una corrente fluente lungo il percorso identificato nelle figure 7 e 9.

20 Rispetto alla figura 7, nella figura 9 sono stati rimossi alcuni componenti ed evidenziate le principali capacità parassite, tra cui:

- Crow, la capacità della riga, dell'ordine del picofarad;
- Cvp_{cx}, la capacità dell'intera decodifica di riga, dell'ordine di 100pF;
- Cblocc, la capacità di un blocco di righe, ad esempio se ogni blocco raccoglie otto righe, questa capacità può essere dell'ordine di 1pF;
- 25 - Cbody, la capacità del nodo del substrato del settore che, nella cancellazione di canale è situato in una sacca di well completamente isolata; questa capacità è dell'ordine del nanofarad.

In queste condizioni la fase di rilevazione della corrente spuria deve fare i conti con la presenza della capacità Cbody. Questa capacità, che

normalmente è tenuta a massa da un relativo transistor di abilitazione M8, si comporta come un corto sul transitorio di corrente date le sue notevoli dimensioni.

5 Immaginando di indirizzare la riga contenente la cella fail, si avrebbe una forte corrente che andrà a riempire il condensatore parassita C_{body} in un tempo pari a $1\mu s$ ipotizzando di avere a disposizione 10mA e di doverla caricare anche solo ad 1V. Ovviamente, il valore di tensione cui deve essere caricata la capacità è anche funzione della resistenza che è interposta fra l'alimentazione V_{pcx} e la regione di body. Inoltre, non si
10 avrebbe a disposizione la corrente supposta di carica poiché la pompa V_{pcx} è limitata in corrente.

Di conseguenza, si presentano due casi: o un'attesa per un tempo molto lungo oppure non saremo in grado di rilevare una corrente significativa fluire in M8.

15 Si dovrebbe essere in grado di rilevare una variazione di corrente attraverso il transistor M3 o, in modo equivalente, prelevare il potenziale sul nodo A per confrontarlo con un valore di riferimento e stabilire se sta fluendo una corrente normale oppure se siamo nella situazione di presenza di una corrente spuria e quindi di uno stato di
20 fail.

In questo caso, però, occorrerebbe prelevare la tensione di questo nodo A per ogni gruppo di righe, aggiungendo una capacità alla decodifica di riga che potrebbe essere eccessiva nella fase di lettura.

25 E' dunque preferibile prelevare un potenziale di tensione sul nodo B, tra lo switch M4 e la relativa alimentazione negativa. Questo nodo non incide sulla capacità del percorso di lettura e quindi possiamo permetterci di prelevare un potenziale per ogni blocco di righe.

In realtà il nodo da cui prelevare il potenziale che serve per rilevare la corrente spuria è facilmente identificabile in quanto le regioni di source
30 dei transistori di switch associati all'alimentazione negativa confluiscono nel blocco dell'HVNEG. Si può quindi pensare, per

semplicità di replicare la struttura per ogni settore.

Un blocco 30 di confronto, visibile in figura 10, preleva la tensione del nodo B, che è poi quella dell'inizio della riga e ne controlla la curva di salita. In presenza di una corrente spuria la riga tarderà a salire
5 evidenziando la presenza della corrente spuria.

Il blocco 30 di confronto accetterà in ingresso un segnale di riferimento, Vrif, che sarà prodotto da una riga di ridondanza, cosiddetta riga dummy, sicuramente funzionante. Per ottenerle tale segnale è sufficiente riprodurre il percorso interessato, con un gruppo di righe che
10 non è mai cancellato, sul quale quindi non si possa mai presentare i potenziali necessari alla produzione del guasto.

La figura 11 mostra più in dettaglio la struttura interna del blocco 30 che include un comparatore e mostra l'architettura complessiva della decodifica di riga della presente invenzione.

15 Nel diagramma di flusso della figura 12 sono invece riportati in forma schematica i passi salienti del metodo di cancellazione della presente invenzione.

Al termine dell'operazione di cancellazione, se questa non si è conclusa a buon fine, possiamo essere in presenza di uno stato di fail del tipo a
20 corto circuito precedentemente descritto. Ovviamente, si potrebbe anche essere in presenza di un più grave o più complesso stato di guasto non rimediabile mediante la presente invenzione.

Nell'ipotesi di poter porre rimedio al guasto, l'algoritmo di lettura viene avviato al fine di scandire i blocchi di righe nel settore presunto guasto.
25 Contemporaneamente, ogni volta che indirizziamo un blocco di righe indirizziamo anche un blocco di righe dummy di ridondanza e, dopo un predeterminato tempo T, che si può stimare nell'ordine di qualche decina di nanosecondi (è il tempo necessario alla riga per potersi caricare), si può operare un confronto tra i due nodi nel blocco 30. Il
30 nodo della riga dummy di ridondanza avrà il valore dell'alimentazione Vpcx mentre quella della riga indirizzata, nel blocco 20 indirizzato, non

avrà lo stesso valore a causa della corrente spuria.

Se il segnale "flagok" è positivo siamo dunque in presenza del guasto. Partirà allora l'algoritmo di sostituzione "on line" del blocco di righe che attiverà una ridondanza di riga.

- 5 Esaurita questa fase si riprende l'analisi delle righe rimanenti poiché non possiamo escludere la presenza di fail multipli.

Nell'altro caso continueremo l'indagine fino alla conclusione del settore. Al termine dell'analisi la posizione del flag di ridondanza segnerà se la conclusione è andata a buon fine o meno.

- 10 È evidente che a questo punto deve ripartire l'algoritmo di cancellazione che richiederà necessariamente una tempistica maggiore rispetto a quella ottenibile per un dispositivo integro.

- 15 Il maggior tempo di cancellazione è un piccolo inconveniente da pagare per l'utilizzo dei principi della presente invenzione; tuttavia, i vantaggi in termini di risparmio di area circuitale preposta alla ridondanza e la possibilità di rendere perfettamente operativo un dispositivo affetto da uno stato di guasto rendono i maggiori tempi di cancellazione del tutto trascurabili.

RIVENDICAZIONI

1. Metodo di cancellazione di celle di memoria non volatili in un dispositivo integrato di memoria non volatile comprendente una matrice di celle di memoria (4) organizzata in righe e colonne e
5 suddivisa in settori (20) di matrice con almeno una porzione circuitale di decodifica di riga per ciascun settore alimentata da tensioni positive e negative (V_{pcx} , HV_{NEG}), e del tipo in cui i settori di matrice possono essere cancellati in modo indipendente l'uno dall'altro mediante un algoritmo di cancellazione, caratterizzato dal fatto di:
- 10 - forzare una condizione di lettura di un settore (20) che non ha raggiunto la completa cancellazione;
- scandire le righe di detto settore (20) per controllare l'eventuale presenza di una corrente spuria indicativa di uno stato di guasto;
- identificare la riga guasta ed isolarla elettricamente;
- 15 - re-indirizzare detta riga guasta ad una riga di ridondanza prevista nel medesimo settore (20);
- avviare di nuovo l'algoritmo di cancellazione.
2. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che detta condizione di lettura viene forzata quando l'algoritmo di cancellazione
20 ha dato esito incompleto o negativo.
3. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che la scansione delle righe di un dato settore viene effettuata controllando l'eventuale presenza di detta corrente spuria di scarica su un percorso di conduzione facente capo a detta alimentazione positiva.
- 25 4. Metodo secondo la rivendicazione 1, caratterizzato dal fatto per isolare la riga guasta è previsto almeno uno switch tra ciascun blocco di decodifica e le rispettive alimentazioni positiva e negativa.
5. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che detta fase di re-indirizzamento è effettuata mediante un blocco (28) di

decodifica di ridondanza incorporato all'interno della circuiteria di decodifica di riga.

- 5 6. Metodo secondo la rivendicazione 4, caratterizzato dal fatto che detti switch sono pilotati da una logica (15) asservita al contenuto di registri di ridondanza.
7. Metodo secondo la rivendicazione 3, caratterizzato dal fatto di prevedere un confronto tra una un nodo di riga ed un nodo di ridondanza per rilevare detta corrente spuria.
- 10 8. Metodo secondo la rivendicazione 7, caratterizzato dal fatto che detto confronto è effettuato mediante un blocco comparatore (30) ricevente in ingresso un segnale di riferimento (Vrif.) prodotto da una riga di ridondanza ed un segnale di riga rilevato all'inizio di una riga sotto scansione.
- 15 9. Dispositivo integrato di memoria non volatile, del tipo programmabile e cancellabile elettricamente, comprendente una matrice di celle di celle di memoria (4) organizzata in righe e colonne e suddivisa in settori (20) di matrice con almeno una porzione circuitale di decodifica di riga per ciascun settore alimentata da tensioni positive e negative (Vpcx, HVNEG), caratterizzato dal fatto di comprendere:
- 20 - un blocco di righe ridondanza interno a ciascun settore;
- una pluralità di blocchi di decodifica di riga ed almeno un blocco di decodifica di ridondanza (28) interno alla circuiteria di decodifica;
- 25 - almeno uno switch tra ciascun blocco di decodifica e le rispettive alimentazioni positiva e negativa per poter isolare in lettura, programmazione o cancellazione un blocco che presenta uno stato di fail.
10. Dispositivo secondo la rivendicazione 9, caratterizzato dal fatto che detti switch sono transistori MOS.
11. Dispositivo secondo la rivendicazione 9, caratterizzato dal fatto di

comprendere una logica (15) di controllo per il pilotaggio di detti switch.

12. Dispositivo secondo la rivendicazione 9, caratterizzato dal fatto che il funzionamento di detta logica (15) è asservito al contenuto di registri di ridondanza.

- 5 13. Dispositivo secondo la rivendicazione 9, caratterizzato dal fatto di comprendere un blocco (30) comparatore ricevente in ingresso un segnale di riferimento (Vrif.) prodotto da una riga di ridondanza ed un segnale di riga rilevato all'inizio di una riga sotto scansione.

RIASSUNTO

L'invenzione si riferisce ad un metodo di cancellazione di celle di memoria non volatili e ad un relativo dispositivo integrato di memoria non volatile, del tipo programmabile e cancellabile elettricamente e
5 comprendente una matrice di celle di memoria (4) organizzata in righe e colonne e suddivisa in settori (20) di matrice con almeno una porzione circuitale di decodifica di riga per ciascun settore alimentata da tensioni positive e negative (V_{pcx} , HV_{NEG}).

10 Il metodo viene attivato quando l'algoritmo di cancellazione ha dato esito negativo e prevede le seguenti fasi:

- forzare una condizione di lettura di un settore (20) che non ha raggiunto la completa cancellazione;
- scandire le righe di detto settore (20) per controllare l'eventuale presenza di una corrente spuria indicativa di uno stato di guasto;
- 15 - identificare la riga guasta ed isolarla elettricamente;
- re-indirizzare detta riga guasta ad una riga di ridondanza prevista nel medesimo settore (20);
- avviare di nuovo l'algoritmo di cancellazione.

20

(Fig. 8)

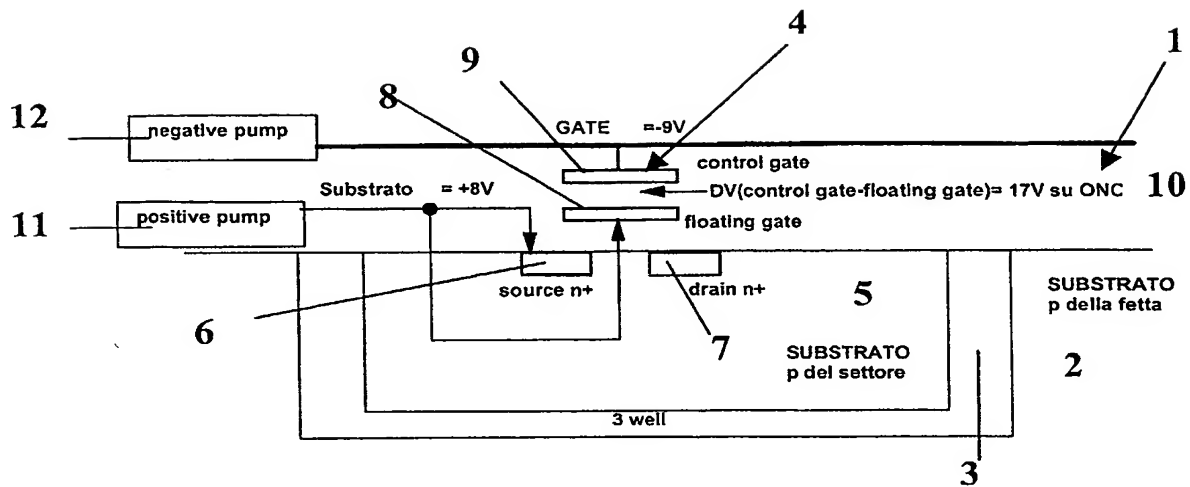


FIG: 1

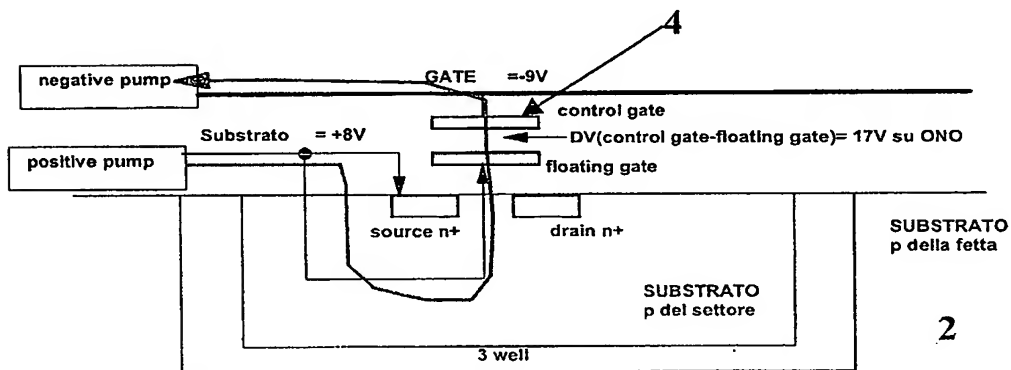


FIG. 2

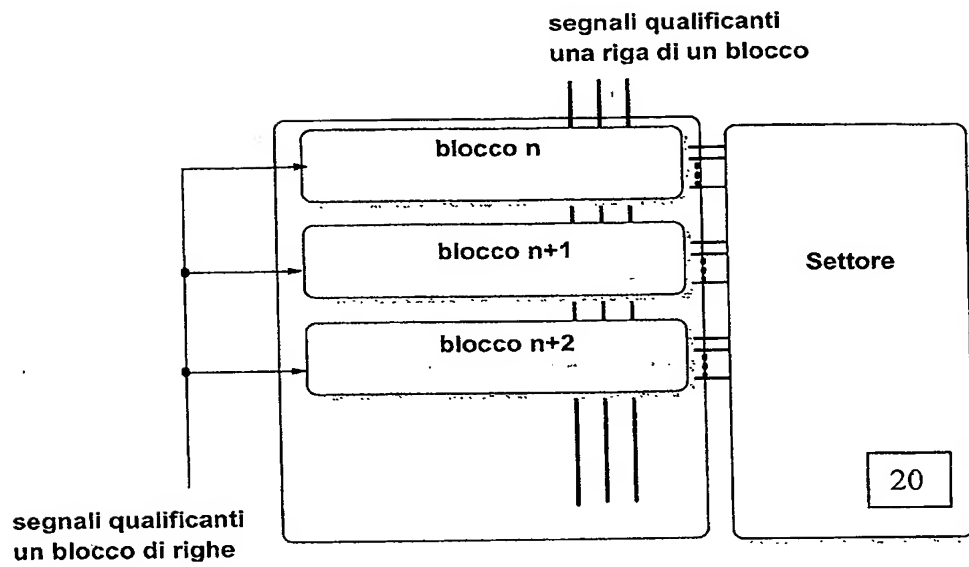


FIG. 3

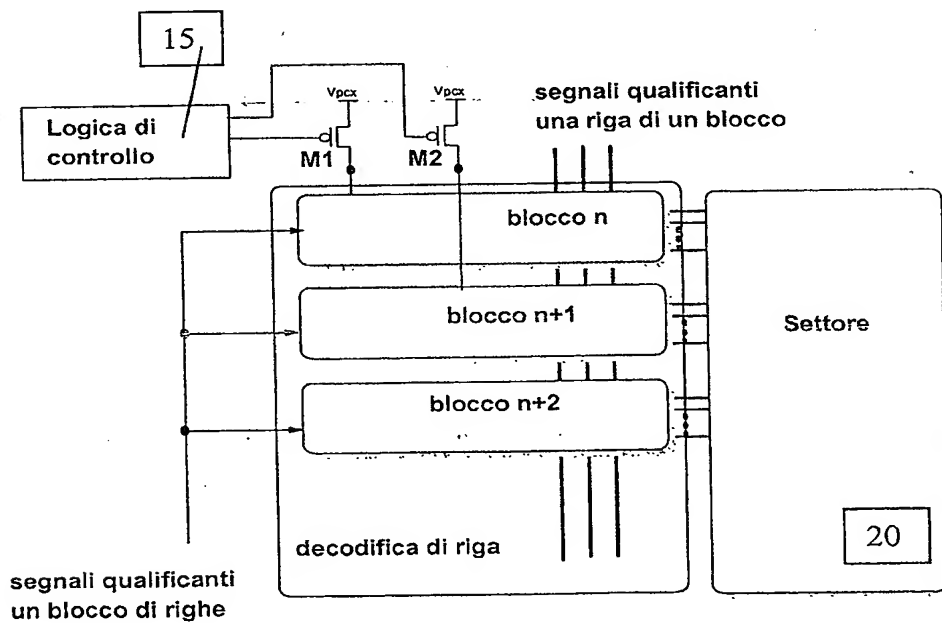


FIG. 4

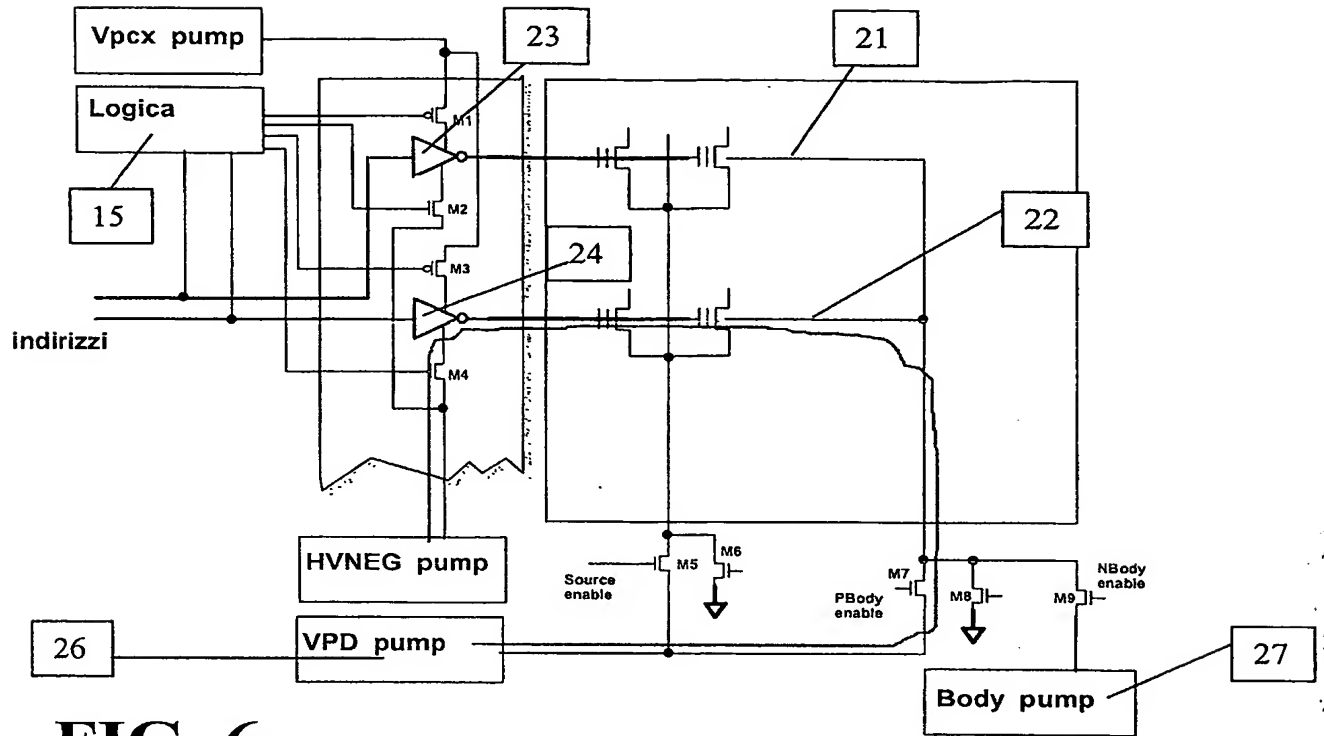


FIG. 6

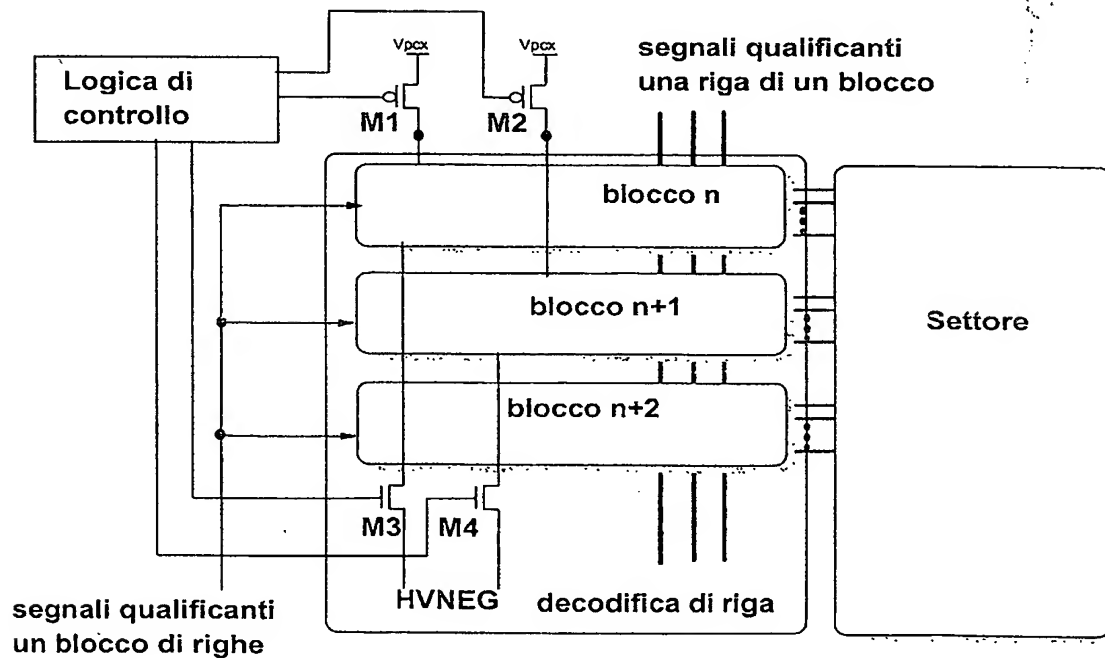


FIG. 5

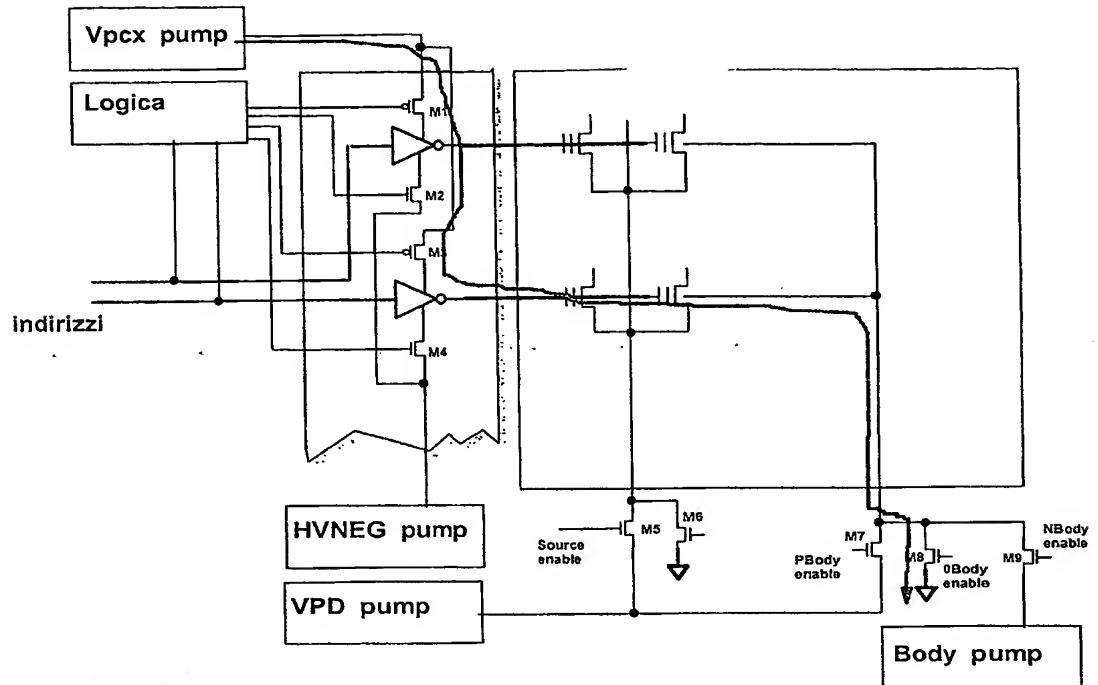


FIG. 7

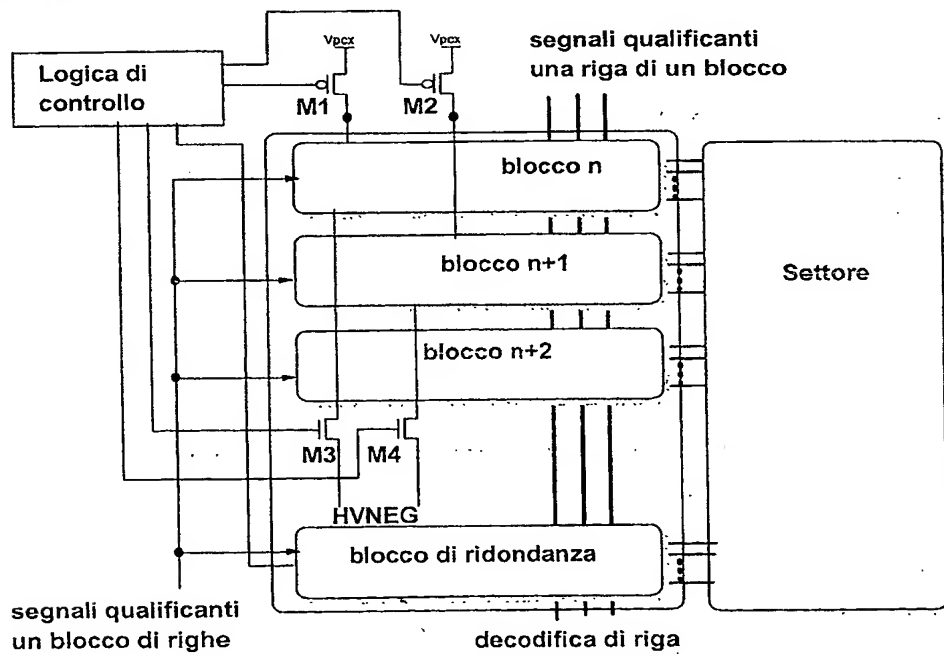


FIG. 8

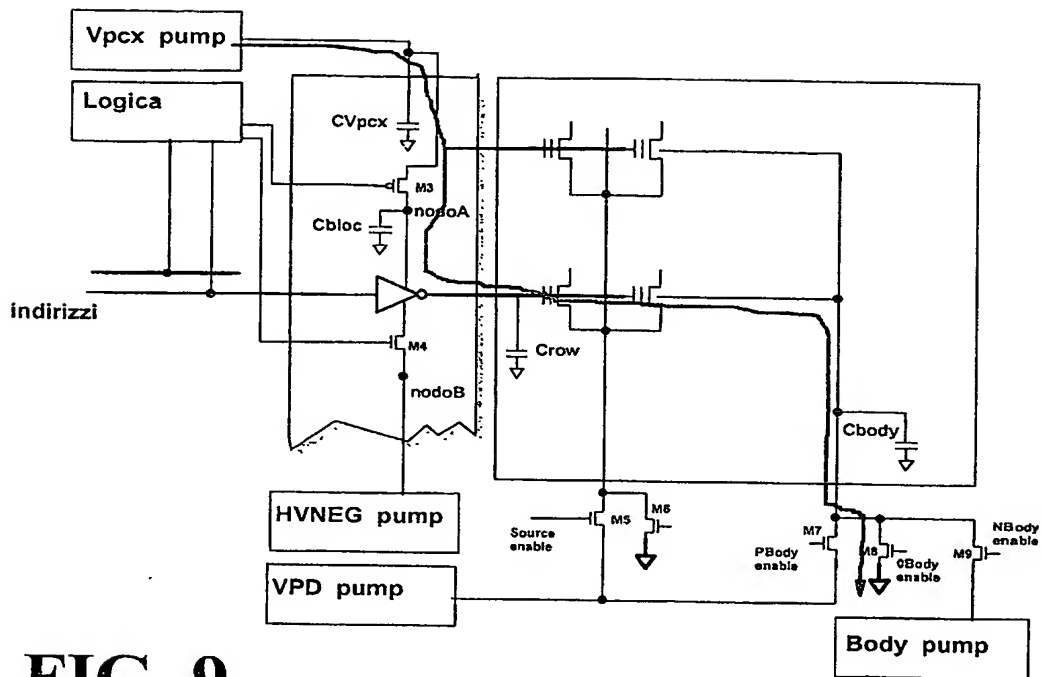


FIG. 9

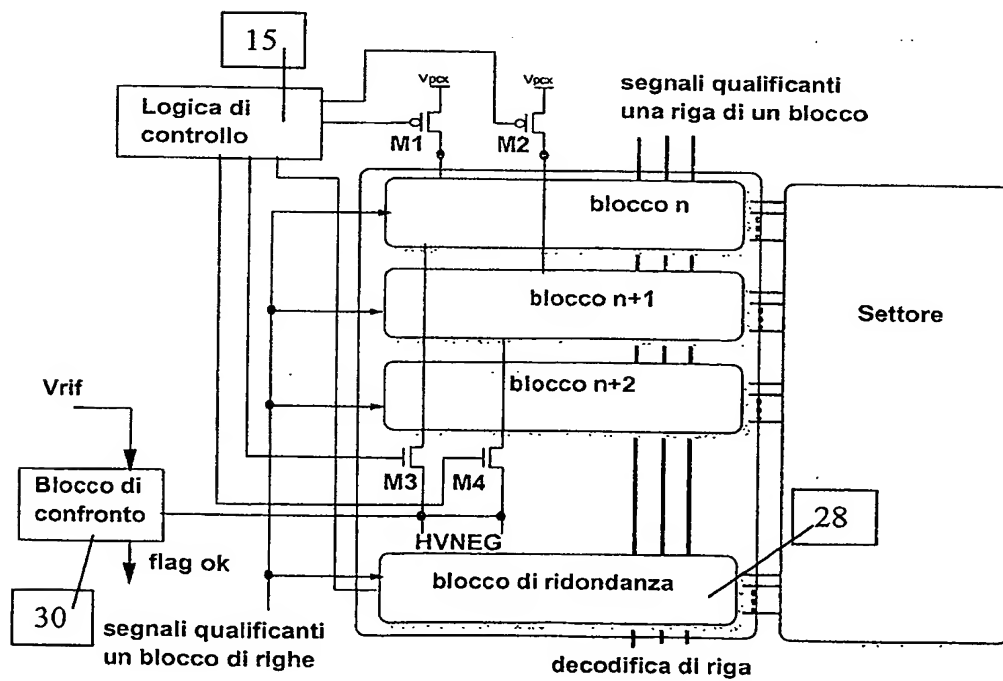
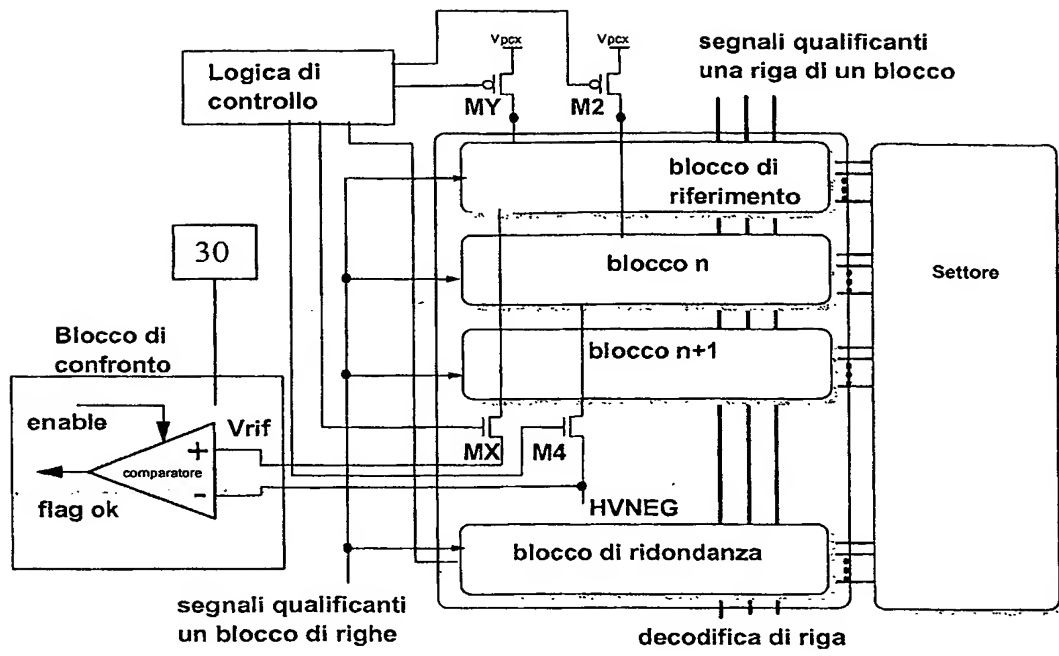


FIG. 10

**FIG. 11**

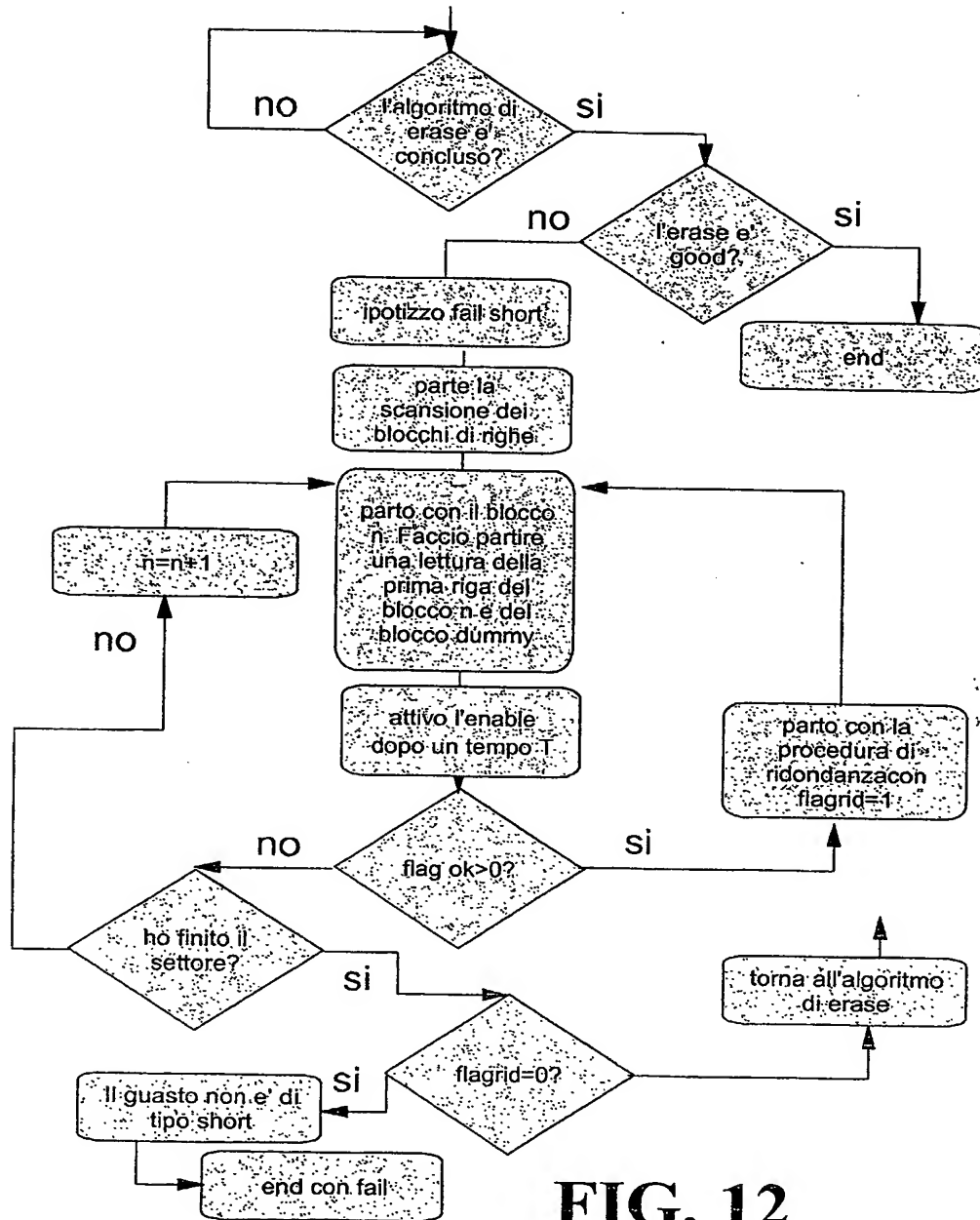


FIG. 12

